

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 62-252288
 (43)Date of publication of application : 04.11.1987

(51)Int.CI. H04N 7/133
 H03M 3/04
 H04B 14/06

(21)Application number : 61-094490
 (22)Date of filing : 25.04.1986

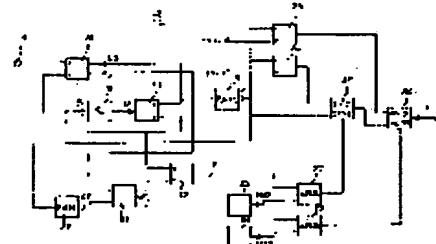
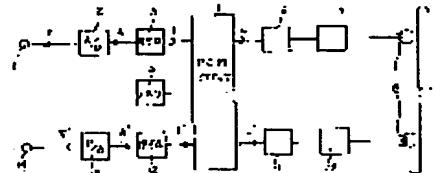
(71)Applicant : HITACHI LTD
 (72)Inventor : OKAMURA FUJIO
 NISHIMURA KEIZO
 OWASHI HITOAKI
 FURUHATA TAKASHI

(54) CODING DEVICE

(57)Abstract:

PURPOSE: To prevent the generation of an inverting phenomenon at the time of decoding by detecting the inverting phenomenon at the time of decoding when the coding is executed and changing over and transmitting the data of a bit number (m) to be transmitted to the data of another bit number (m) in which the same polarity is obtained and the absolute value is one step or below, by a detecting result.

CONSTITUTION: By an A/D converter 2, an information signal is converted to a signal A of a quantizing bit number (n), by a coder 3, a forecasting value B corresponding to the signal A is counted, and based upon data C2 of the bit number (n) excluding an upper-most bit C1 of difference data between the signal A and the forecasting value B, a ROM 19 converts it to data E of the bit number (m) ($m < n$). By the level comparing result of data C2' of the bit number (n) obtained by the converting means equal to that at the time of decoding a ROM 20 based upon the data E, data C' of a bit number $n+1$ to add the C1 as the upper-most bit, data F of the bit number $n+1$ to add the forecasting value B and exclude the upper-most order bit of the obtained data and the data to show the maximum or minimum quantizing level of the bit number (n) expressed by the bit number $n+1$, the data E is changed over and transmitted to the data of another bit number (m) in which the same polarity is obtained and the absolute value is one step or below.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑪ 公開特許公報 (A)

昭62-252288

⑫ Int.CI.

H 04 N 7/133
H 03 M 3/04
H 04 B 14/06

識別記号

厅内整理番号

⑬ 公開 昭和62年(1987)11月4日

Z-7060-5C

6832-5J

B-7323-5K 審査請求 未請求 発明の数 1 (全10頁)

⑭ 発明の名称 符号化装置

⑮ 特願 昭61-94490

⑯ 出願 昭61(1986)4月25日

⑰ 発明者 岡村富二男

横浜市戸塚区吉田町292番地 株式会社日立製作所家電研究所内

⑰ 発明者 西村恵造

横浜市戸塚区吉田町292番地 株式会社日立製作所家電研究所内

⑰ 発明者 尾鷦仁朗

横浜市戸塚区吉田町292番地 株式会社日立製作所家電研究所内

⑰ 発明者 降旗隆

横浜市戸塚区吉田町292番地 株式会社日立製作所家電研究所内

⑰ 出願人 株式会社日立製作所

東京都千代田区神田駿河台4丁目6番地

⑰ 代理人 弁理士 小川勝男

外1名

明細書

1. 発明の名称

符号化装置

2. 特許請求の範囲

1. 情報信号をサンプリング量子化してデジタル信号に変換して伝送、或いは記録する装置において、上記情報信号を逐次標本化する手段と、標本化した標本値をビット数nで量子化する手段と、上記ビット数nの標本のうちの少なくとも一部のビット数nの標本に対応する所定のビット数nの予測値を算出する手段と、上記標本値を上記予測値とのビット数n+1の差分データの最上位ビットを除いたビット数nのデータに基づいて上記nより少ないビット数mのデータに変換する第1の変換手段と、復号したときに、ビット数nの量子化レベルの範囲を超えたデータにより逆極性のレベルに反転したデータが出力されるか否かを検出する手段、とを有し、上記検出する手段により、上記第1の変換手段からのビット数mのデータを、反転しない別の

ビット数mのデータに切替えて伝送するようにしたことを特徴とする符号化装置。

2. 上記検出する手段は、復号化時での上記ビット数mのデータを該データに基づくビット数nのデータに変換する手段と同等な第2の変換手段と、上記第2の変換手段からのビット数nのデータに、上記ビット数n+1の差分データの最上位ビットと同じ符号を最上位ビットとして1ビット追加する手段と、上記追加する手段からのビット数n+1のデータと、ビット数n+1で表現されたビット数nの上記予測値の量子化レベルを示すデータとを加算する手段と、上記加算する手段からの加算データの最上位ビットを除いたビット数n+1の加算データと、ビット数n+1で表現されたビット数nの最大の量子化レベルを示すデータとのレベルを比較する手段と、

上記ビット数n+1の加算データとビット数n+1で表現されたビット数nの最小の量子化レベルを示すデータとのレベルを比較する手段、

とで構成したことを特徴とする特許請求の範囲第1項記載の符号化装置。

3. 上記反転しない別のビット数mのデータは、上記第1の変換手段からのビット数mのデータと同じ極性で、絶対値が少なくとも1ステップ下のビット数mのデータとするようにしたことを特徴とする特許請求の範囲第1項記載の符号化装置。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、伝送すべき情報信号を時間軸方向にサンプリング量子化してデジタル信号に変換して伝送する装置に係り、特に復号化時での情報信号の反転現象を防止した符号化装置に関する。

(従来の技術)

伝送信号として画像信号をデジタル信号に変換して伝送する装置において、その1標準値(以下これを画素と称する。)当りの量子化ビット数は、直線量子化の場合で通常7~8ビットが必要とされている。この直線量子化で画像信号をその

ままデジタル化すると、そのデジタル信号の伝送レートは、標準テレビ方式の場合で、100 Mbit/sec程度が必要となり、一部で提案されている高品位テレビ方式にいたっては、上記標準方式の2倍以上の伝送レートが要求される。

この画像信号をデジタル信号で磁気記録再生する装置(以下これをデジタルVTRと称する。)では、上記の様に伝送レートが著しく高いため、従来のアナログ記録方式VTRと比べて、テープの記録密度が実質低下して、充分な記録時間が得られず、また扱う信号も非常に広帯域となって、デジタル信号処理回路の動作速度も問題となり、技術的にも困難が伴い、このデジタルVTRを家庭用としてなど広く普及させるための大きな障害となっている。

こうした問題を改善するために、いわゆる高能率符号化の検討が従来から行なわれており、その例が文献(吹抜教彦著“画像のデジタル信号処理”日刊工業新聞社)に詳述されている。この文献(の第9章)にも記載されているように、1標準

本值当りのビット数を低減する方法として、すでに符号化した画素の値から現在の値を予測し、それとの誤差を符号化するいわゆる予測符号化方式(DPCM)がよく知られている。

以下、従来技術を図面を用いて説明する。

第2図は前値予測を用いた予測符号化方式での符号器の一従来例を示すブロック図、第4図は上記予測符号化方式での復号器の一例を示すブロック図、第6図は第2図、第4図での符号特性・復号特性の一例を示す特性図である。

第2図において、端子50から、A/D変換器により量子化ビット数nビットのデジタル信号Aに変換された画像信号が供給されている。

ここで、上記量子化ビット数nは、その量子化誤差が無視できる程度の大きな値であり、画像信号を取り扱う本例では、例えばn=7と定められる。

このn=7ビットのデジタル信号Aは減算器51において、減算器51、加算器52及び画素間隔に等しい遅延時間を持つ遅延器53により得

られる1サンプル(1画素)前のデジタル信号が減算され、減算器51からの8ビットの差分信号Cは第6図に示す変換特性を持つ読み取り専用メモリROM54により変換され、m=4ビットの圧縮差分信号Eが outputされる。この4ビットの圧縮差分信号Eは端子55を介して伝送、或いは記録される。

そして受信、或いは再生時には第4図において、圧縮差分信号Eと同等のm=4ビットの圧縮差分信号I'が端子32を介して入力され、第6図に示す変換特性を持つROM33により変換され、8ビットの差分信号C'が出力される。

この差分信号C'は、加算器34において、画素間に等しい遅延時間を持つ遅延器35からの1サンプル(1画素)前のデジタル信号が加算され、上記デジタル信号Aと同様なデジタル信号A'が出力される。このデジタル信号A'は端子36を介して出力され、D/A変換器によりアナログ信号に変換された後、画像信号として出力される。

上記したような予測符号化方式によれば、1画素当たりのビット数を4ビット程度に低減可能で、上記した直線量子化方式と比べてビット数を4/7に低減することが可能である。

〔発明が解決しようとする問題点〕

上記前值予測を用いた予測符号化及び復号化装置における入出力信号の量子化レベルの範囲は、量子化ビット数を7ビットとしたことにより、 $-64 \sim +63$ である。

この時、 $n = 7$ ビットの入力デジタル信号Aが例えば、 $-31 \rightarrow 62 \rightarrow 25 \rightarrow 10 \rightarrow 35 \dots$ と変化する場合には、減算器51からの8ビットの差分信号Cは、 $-31 \rightarrow 93 \rightarrow -37 \rightarrow -15 \rightarrow 25 \dots$ となり、ROM54からの圧縮差分信号Eは、 $-5 \rightarrow 7 \rightarrow -5 \rightarrow -4 \rightarrow 4 \dots$ それぞれに対応する $m = 4$ ビットのデータとなって伝送或いは記録される。そして受信或いは再生時には、圧縮差分信号Eと同等の4ビットの圧縮差分信号I'が端子32を介して入力され、ROM33からの8ビットの差分信号C'は、 $-31 \rightarrow 110 \rightarrow -$

$31 \rightarrow -17 \rightarrow 31 \dots$ そして加算器34からの出力デジタル信号A'は、 $-31 \rightarrow 79 (-49) \rightarrow 48 \rightarrow 31 \rightarrow 62 \dots \dots \dots$ となり、ビット数 $n = 7$ の量子化レベルの範囲 ($-64 \sim +63$) を超えたレベルのデータ79により逆極性のレベルに反転したデータ-49が出力されてしまう。このため、情報信号の反転現象が発生してしまう。

上記したように、従来の予測符号化装置では、復号化時にビット数 n の量子化レベルの範囲を超えたレベルのデータにより逆極性のレベルに反転したデータを出力してしまい、情報信号の反転現象が発生するなどの問題があった。

本発明の目的は、上記した従来技術に鑑み、復号化時に情報信号の反転現象が発生しないような符号化装置を提供することにある。

〔問題点を解決するための手段〕

本発明は上記目的を達成するため、伝送すべき情報信号をその量子化誤差が無視できる程度に充分な量子化ビット数 n で符号化し、上記符号化した標本に対応する予測値を算出して、上記 n ビッ

トの標本値を上記予測値との差分データの最上位ビットを除いたビット数 n のデータに基づいて上記 n より少ないビット数 m のデータに変換する。そして、上記ビット数 m のデータに基づいて復号化時と同等の変換手段により得たビット数 n のデータに上記差分データの最上位ビットと同じ符号を最上位ビットとして1ビット追加し、この1ビット追加したビット数 $n+1$ のデータと、ビット数 $n+1$ で表現されたビット数 n の上記予測値の量子化レベルを示すデータとを加算し、この加算データの最上位ビットを除いたビット数 $n+1$ のデータと、ビット数 $n+1$ で表現されたビット数 n の最大或いは最小の量子化レベルを示すデータとのレベル比較結果により、上記ビット数 m のデータを、同じ極性で絶対値が1ステップ下の別のビット数 m のデータに切替えて伝送するよう構成する。

〔作用〕

復号化時における反転現象は、上記比較結果により符号化時に検出することができる。

それによって、伝送すべきビット数 m のデータを、同じ極性で絶対値が1ステップ下の別のビット数 m のデータに切替えて伝送するので、復号化時に出力データがビット数 n の量子化レベルの範囲を超えるレベルとはならず、反転現象が生じることはない。

〔実施例〕

一般に、予測符号化方式はビット数 n のデータ同士の減算によるビット数 $n+1$ の差分データを n より少ないビット数 m のデータに変換する方式であり、その変換による誤差は大きい。

そこで、上記差分データの最上位ビットを除いたビット数 n のデータすなわち上記差分データの絶対値に相当するデータをビット数 m のデータに変換する方式が考えられる。

この方式によれば、上記したビット数 $n+1$ のデータを変換する場合に比べて、上記変換による誤差を約1/2にすることができる。

以下、上記した最上位ビットを除いたビット数 n のデータをビット数 m のデータに変換する方式

を例にとり、本発明の実施例を図面により詳細に説明する。

第1図は、本発明をVTRなどの磁気記録再生装置に適用した場合の一実施例を示すブロック図、第3図は本発明に係る符号器3の一実施例を示すブロック図、第4図は本発明に係る符号器1'2の一実施例を示すブロック図、第5図は第3図・第4図の符号器・復号器の動作説明用の各部波形図、第6図はその符号特性・復号特性の一実施例を示す特性図である。

第1図において、1は記録すべき画像信号の入力端子、2はA/D変換器、3は符号器、4はPCMプロセッサ、5はメモリ、6は変調器、7は記録増幅器、8は磁気ヘッド、9は磁気テープ、10は再生イコライザ、11は復調器、12は復号器、13はD/Aコンバータ、14は再生された画像信号の出力端子である。

端子1からの画像信号VはA/D変換器2により量子化ビット数nビットでデジタル信号Aに変換される。このnビットのデジタル信号Aは

本発明に係る符号器3によって後述するように適宜ビット圧縮される。

この符号器3の出力I(以下、これをデータIと略記する。)はPCMプロセッサ4を介して、メモリ5に逐次書き込まれる。メモリ5への書き込みのときに、データIの所定のビット数からなるブロック毎にそのアドレスを示すアドレス符号と符号訂正のためのいわゆるパリティ符号が追加されてメモリ5へ逐次書き込まれる。

メモリ5への書き込み終了後、引き続いて読み取られ、読み取られたデータI及びアドレス符号とパリティ符号は、PCMプロセッサ4にて並列データから直列データに変換されるとともに、ブロックの頭出しのための誤り検出符号や、或いはこれらデータ列の前後に、適宜調歩符号などが追加されて出力される。

このPCMプロセッサ4からの出力データ列Lは、変調器6によって磁気記録に通した符号に変調されてのち、その出力は記録増幅器7を介して磁気ヘッド8により逐次磁気テープ9に記録され

る。

次に再生系において、磁気テープ9から磁気ヘッド8により再生された信号は、再生イコライザ10で適宜再生等化されてのち、復調器11で復調されて、上記変調器6に入力されたデータ列Lと同様の信号L'が出力される。この復調器11からの出力データ列L'は、PCMプロセッサ4にて、そのブロック毎に同期符号に基づき、データの頭出しや、前記誤り検出符号に基づき符号誤り検出などが行なわれてのち、直列データから並列データに変換されてからメモリ5に逐次書き込まれる。

メモリ5に書き込まれたデータは、PCMプロセッサ4により上記パリティ符号に基づいて逐次符号訂正されてから、冗長の符号は逐次解除され、上記符号器3からの出力データIと同様のデータI'が出力されて、復号器12に供給される。

復号器12にて復号されてnビットのデジタル信号A'が出力され、このデジタル信号A'はD/A変換器13にてアナログ信号に変換され

て元の画像信号V'が復元されて端子14に出力される。

次に、本発明に係る符号器3の動作を第3図に示す一実施例により第5図の波形図を用いて説明する。

第3図において、15は上記A/D変換器2から出力されるnビットのデジタル信号Aの入力端子である。第5図の(1)に示すように、A/D変換器2で端子1から入力される画像信号Vがサンプリング周期T毎に逐次サンプリングされ、各標本値のレベルに応じてnビットのデジタル信号A1に逐次変換されて出力される。

ここで、上記量子化ビット数nは、その量子化誤差が無視できる程度の大きな値であり、画像信号を取り扱う本実施例では、例えばn=8と定められる。

本発明は、記録すべき画像信号をその量子化誤差が無視できる程度に充分な量子化ビット数nで符号化し、上記符号化した標本値に対応する予測値を求め、上記標本値を上記予測値に関連する差

分データの最上位ビットを除いた n ビットのデータに基づき上記値 n より小さなビット数 m で符号化している。

この第3図及び第5図は、 $n = 8$ ビット、 $m = 4$ ビットとし、また標本値に対応する予測値を1サンプル前の標本値とした場合の一実施例を示すものである。

そして、ビット数 $n + 1$ で表現されたビット数 n の最大の量子化レベル（例えば +127）を示すデータ、及び、ビット数 $n + 1$ で表現されたビット数 n の最小の量子化レベル（例えば -128）と、復号化時と同等のビット伸張手段により上記ビット数 $m (= 4)$ のデータをビット伸張して得たビット数 $n (= 8)$ のデータに上記差分データの最上位ビットと同じ符号を最上位ビットとして 1 ビット追加したビット数 $n + 1$ のデータとのレベル比較により復号化した時に画像信号の反転現象が生じるか否か判定する。

そして、この判定結果に基づいて、上記ビット数 $m (= 4)$ のデータと同じ極性で、絶対値が 1 ステ

ップ下の別のビット数 $m (= 4)$ のデータに切替えて符号器 3 からの出力信号 I として出力させることにより、復号化した時に画像信号の反転現象を生じさせないようにすることが可能となる。

以上の原理に基づく符号化方式は次のようにして行なわれる。

第3図において、端子 15 より入力される n ($= 8$) ビットのデジタル信号 A (第5図(2)の a) は、減算器 16 にて、遅延回路 18 からの予測値 B (第5図(2)の b) が減算される。

この遅延回路 18 からの予測値 B は、減算器 16 からの出力信号 C2 (第5図(2)の c) と、遅延回路 18 からの 1 ステップ (1 ワク素) 前の出力信号 B とを加算器 17 にて加算し、この加算器 17 からの出力信号 D (第5図(2)の d) を遅延回路 18 にて、1サンプル (1 ワク素) 間隔に等しい時間だけ遅延した信号であり、上記デジタル信号 A に対し、1サンプル前のデジタル信号 A に相当する信号である。

したがって、減算器 16 からの出力信号 C1,

C2 は、デジタル信号 A と 1サンプル前のデジタル信号 A との差分信号 (第5図(2)の e) となる。この出力信号 C1 は、差分信号の最上位ビットの符号を示す 1 ビットの信号でありまた出力信号 C2 は最上位ビットを除いた $n (= 8)$ ビットの差分信号であり、読み取り専用メモリ ROM 19 のアドレス信号として供給される。

ROM 19 は減算器 16 からの $n (= 8)$ ビットの差分信号 C2 を $m (= 4)$ ビットに変換する機能を有する。

$n = 8$ 、 $m = 4$ の場合について ROM 19 における変換特性の一例を第6図に示す。ROM 19 には、第6図に示す -8 ~ +7 に対応する全部で 16 (すなわち 4 ビット相当) のデータが書き込まれており、これらデータは減算器 16 からの $n (= 8)$ ビットの差分信号 C2 に応じてアドレス指定されて読み取られる。

その一例として、第6図に示すように、差分信号 C2 の値が 77 のときは 6 に対応する $m (= 4)$ ビットの信号 E (第5図(2)の e) が ROM 19 よ

り出力される。かくして、ROM 19 にて、減算器 16 からの $n (= 8)$ ビットの差分信号 C2 は、 $m (= 4)$ ビットに変換される。

この $m (= 4)$ ビットに変換された ROM 19 からの出力信号 E は加算器 23、減算器 24 及びデータセレクタ 29 の一方に供給されるとともに、読み取り専用メモリ ROM 20 に供給される。ROM 20 は復号化時の ROM (第4図の ROM 33) と同等の機能を有し、ROM 19 からの $m (= 4)$ ビットの出力信号 E を第6図に示す変換特性に據じて、 $n (= 8)$ ビットに変換する機能を有する。

その一例として、第6図に示すように、 $m (= 4)$ ビットの出力信号 E が、6 に対応するデータのときは、77 の値を有するデータが、4 に対応するデータのときは 31 の値を有するデータが、信号 C2' として ROM 20 より出力される。この $n (= 8)$ ビットに変換された ROM 20 からの出力信号 C2' は、データ合成器 21 にて減算器 16 からの差分データの最上位ビットの符号を示す 1 ビット信号 C1 が最上位ビットとして 1 ピッ

ト追加され、ビット数 $n + 1 (= 9)$ のデータ C' (第5図(2)のc')が出力される。このデータ合成器21からの出力データ C' は、加算器22にて、遅延器18からの予測値 B が加算される。ここで、予測値 B は、ビット数 $n + 1$ で表現されたビット数 n の予測値の量子化レベルを示すデータである。(例えば、ビット数 n の予測値の最上位ビットと同じ符号をビット数 n の予測値に、最上位ビットとして1ビット追加することにより得る)この加算器22からの加算データは、最上位ビットを除いたのち、ビット数 $n + 1 (= 9)$ の加算信号 F (第5図(2)のf)として比較器27, 28それぞれの一方に供給される。ここで、この加算信号 F は、復号化することにより得られる元の標本値 A に対応するデータに相当する。比較器27の他の方には、ビット数 $n + 1$ で表現されたビット数 n の最大の量子化レベル ($n = 8$ の場合には例えば+127) を示すデータを出力する最大レベル発生回路25からの出力信号 MAX が、また、比較器28の他の方にはビット数 $n + 1$ で

表現されたビット数 n の最小の量子化レベル ($n = 8$ の場合には例えば-128) を示すデータを出力する最小レベル発生回路26からの出力信号 MIN が、供給されている。

一方、データセレクタ29の他の方には減算器24にて得たROM19からの $m (= 4)$ ビットの出力信号 E から1ステップずなわち1 LSBだけ減算したデータが供給されている。例えば、出力信号 E が6に対応するデータのときは、5に対応するデータが、出力信号 E が3に対応するデータのときは2に対応するデータが加算器24より出力される。この時、 $n = 8$, $m = 4$ とした本実施例で、ROM19からの $m (= 4)$ ビットの出力信号 E が、データセレクタ29, 30を介してそのまま記録され、復号化時に、再生された $m (= 4)$ ビットのデータを変換して得た $n (= 8)$ ビットのデータに、後述する算出手段により得た予測値を加算したときのレベルが、ビット数 $n (= 8)$ の最大の量子化レベル (+127) を超えてしまい、最小の量子化レベル方向に反転したデータが

出力される場合においても、減算器24にて得たROM19からの出力信号 E から1ステップ(1 LSB)だけ減算した差分データをROM19からの出力信号 E の代わりに記録した場合には、復号化時に再生信号を変換して得た $n (= 8)$ ビットのデータに上記予測値を加算したデータのレベルが、上記最大の量子化レベル (+127) を超ることはない。

そこでデータセレクタ29にて、ROM19からの出力信号 E と、減算器24からの差分データが、比較器27からの出力信号により選択出力される。すなわち、(最大レベル発生回路25からの出力信号 MAX) > (加算器22からの出力信号 F) の場合にはROM19からの出力信号 E が選択出力され、逆に(最大レベル発生回路25からの出力信号 MAX) < (加算器22からの出力信号 F) の場合には、減算器24からの差分データが選択出力される。

このデータセレクタ29からの出力信号はデータセレクタ30の一方に供給されており、他の一

方には、加算器23にて得たROM19からの $m (= 4)$ ビットの出力信号 E に1ステップずなわち1 LSBだけ加算したデータが供給されている。例えば、出力信号 E が-7に対応するデータのときは-6に対応するデータが、出力信号 E が-5に対応するデータのときは-4に対応するデータが加算器23より出力される。

この時、 $n = 8$, $m = 4$ とした本実施例で、ROM19からの $m (= 4)$ ビットの出力信号 E が、データセレクタ29, 30を介してそのまま記録され、復号化時に再生された $m (= 4)$ ビットのデータを変換して得た $n (= 8)$ ビットのデータに、後述する算出手段により得た予測値を加算したときのレベルが、ビット数 $n (= 8)$ の最小の量子化レベル (-128) 以下となり、最大の量子化レベル方向に反転したデータが出力される場合においても、加算器23にて得たROM19からの出力信号 E に1ステップ(1 LSB)だけ加算した加算データをROM19からの出力信号 E の代わりに記録した場合には、復号化時に再生信号を変

換して得た $n (= 8)$ ビットのデータに上記予測値を加算したデータのレベルが上記最小の量子化レベル (-128) 以下となることはない。

したがって、データセレクタ 30 にて、データセレクタ 29 からの出力信号と、加算器 23 からの加算データが比較器 28 からの出力信号により選択出力される。すなわち、(最小レベル発生回路 26 からの出力信号 MIN) < (加算器 22 からの出力信号 F) の場合には、データセレクタ 29 からの出力信号が選択出力され逆に (最小レベル発生回路 26 からの出力信号 MIN) > (加算器 22 からの出力信号 F) の場合には、加算器 23 からの加算データが選択出力される。

かくして、第 3 図に示した符号器にて符号化して得た出力 I は端子 31 より、前記第 1 図の PCM プロセッサ 4 を介してメモリ 5 に $1/2$ にビット圧縮して書き込まれる。

そして、メモリ 5 に $1/2$ にビット圧縮されて書き込まれたデータは前記したように PCM プロセッサ 4 を介して読み取られ、かつ読み取られた並

列のデータは逐次ワードごとに直列に変換されて出力され、直列データ L として PCM プロセッサ 4 より出力される。

この直列データ出力 L は変調器 6、記録増幅器 7 を介して磁気ヘッド 8 により磁気テープ 9 に記録される。

次に本発明に係わる復号器 12 の一実施例を第 4 図に、その動作説明用の各部波形図を第 5 図に示す。

再生時においては、上記により記録されたデータは、磁気テープ 9 より磁気ヘッド 8 により再生されて、再生イコライザ 10 と復調器 11 にて適宜再生等化、復調されて、復調器 11 からは上記のデータ出力 L と同等の直列データ出力 L' が得られる。

この直列データ出力 L' は PCM プロセッサ 4 を介してワード毎に並列データに変換されてから逐次メモリ 5 に書き込まれる。そして、PCM プロセッサ 4 からは、上記符号器 3 からの出力 I と同様の出力 I' (第 5 図(2)の i) が得られ、こ

の出力 I' は第 4 図に示す復号器 12 の端子 32 に供給される。この第 4 図に示す復号器 12 は従来の前値予測符号化方式での復号器と同様な構成となっている。

すなわち、第 4 図において、端子 32 より入力される PCM プロセッサ 4 からの出力 I' は、ROM 33 に $m (= 4)$ ビットのアドレス信号として供給される。ROM 33 にて、上記 $m (= 4)$ ビットのデータ I' は前記第 6 図に示した特性に準じて $n (= 8)$ ビットのデータ C' (第 5 図(2)の c') に変換される。

その一例として、第 6 図に示すように、 $m (= 4)$ ビットのデータ I が 6 に対応するデータのときは 77 の値を有するデータが、4 に対応するデータのときは 31 の値を有するデータが、信号 C' (第 5 図(2)の c') として ROM 33 より出力される。

この ROM 33 により $n (= 8)$ ビットに変換された信号 C' は、加算器 34 にて遅延回路 35 からの予測値 K (第 5 図(2)の k) が加算される。

この遅延回路 35 からの予測値 K は、加算器 34 からの出力信号 A' を遅延回路 35 にて、1 サンプル (1 西素) 間隔に等しい時間だけ遅延した信号である。

したがって、この加算器 34 にて、元の標本値 A に対応するデータ A' (第 5 図(2)の a') が復元されて端子 36 に出力される。

以上述べたように本発明は、記録時に再生時の反転現象を検出して、記録すべき $m (= 4)$ ビットの信号のレベルを 1 ステップだけ変化させて記録することを特徴とし、これにより再生時に画像信号の反転現象が生じることはない。

以上の実施例は、VTR などの磁気記録再生装置に本発明を適用した場合を示したが、本発明はこれに限るものではなく、画像信号以外の音声信号など任意の情報信号を記録再生するにとどまらず、任意の伝送媒体にデジタル信号として伝送する場合に適用できるものであり、本発明の主旨をそれるものではない。

また、以上の実施例は、前値予測符号化方式の

場合を示したが、本発明はこれに限るものではなく、一般にN次曲線予測符号化方式においても、更には、予測値或いは基準値との差分をビット圧縮して符号化する他の差分符号化方式においても本発明が適用できることは明らかである。

また、以上の実施例は、加算器23及び減算器24によりROM19からのビット数m(=4)の出力データEと同じ性で、絶対値が1ステップ下の別のビット数m(=4)のデータを得る場合を示したが、本発明はこれに限るものではなく、ビット数n(=8)のデータにおける2進数表示したときの大小関係と、該データをビット数m(=4)のデータに変換したときのビット数m(=4)のデータにおける2進数表示したときの大小関係が異なる場合があるような変換特性を有するROMをROM19として用いた場合においても、ROM20或いはROM33のアドレス信号として供給したときに、ROM19からのm(=4)ビットの所定データを供給したときよりも1ステップ上のn(=8)ビットのデータが出力されるようなビッ

ト数m(=4)のデータがROM19からのビット数m(=4)の所定データを供給したときに出力されるROM、及びROM20或いはROM33のアドレス信号として供給したときに、ROM19からのm(=4)ビットの所定データを供給したときよりも1ステップ下のn(=8)ビットのデータが出力されるようなビット数m(=4)のデータがROM19からのビット数m(=4)の所定データを供給したときに出力されるROM、により得ることができ、本発明の主旨をそれるものではない。

また、以上の実施例では、ビット数n+1の差分データの最上位ビットを除いたnビットのデータをビット数mのデータに変換する場合での画像信号の反転現象を検出し防止する手段について示したが、本発明はこれに限るものではなく、ビット数n+1の差分データをそのままビット数mのデータに変換する場合においても、本発明が適用できることは明らかである。

【発明の効果】

以上述べたように本発明によれば、再生時すな

わち復号化時に情報信号の反転現象を生じさせることなく情報信号を伝送することができる、ディジタルVTRのような磁気記録再生装置においては画質劣化を抑えることができるなどの効果がある。

4. 図面の簡単な説明

第1図は本発明の一実施例を示すブロック図、第2図は従来技術に係わる符号器の一例を示すブロック図、第3図は本発明に係わる符号器の一実施例を示すブロック図、第4図は本発明に係わる復号器の一実施例を示すブロック図、第5図は第3図、第4図の符号器・復号器の動作説明用の各部波形図、第6図はその符号特性・復号特性の一実施例を示す特性図である。

3…符号器、

12…復号器、

16, 24, 51…減算器、

17, 22, 23, 34, 52…加算器、

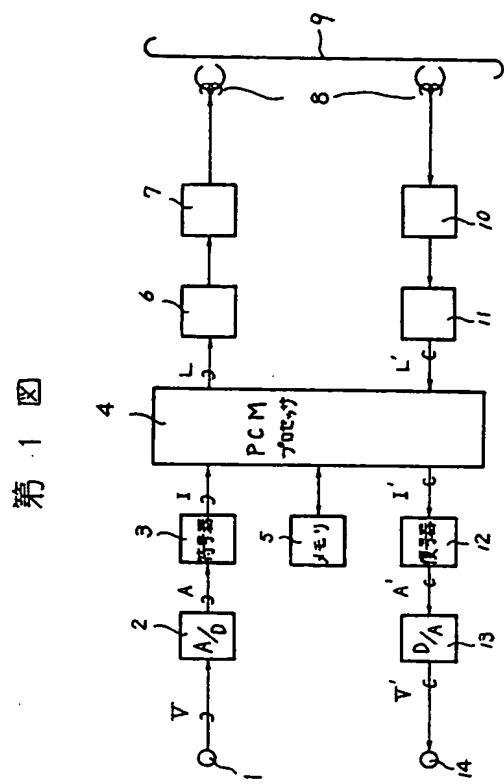
27, 28…比較器、

29, 30…データセレクタ、

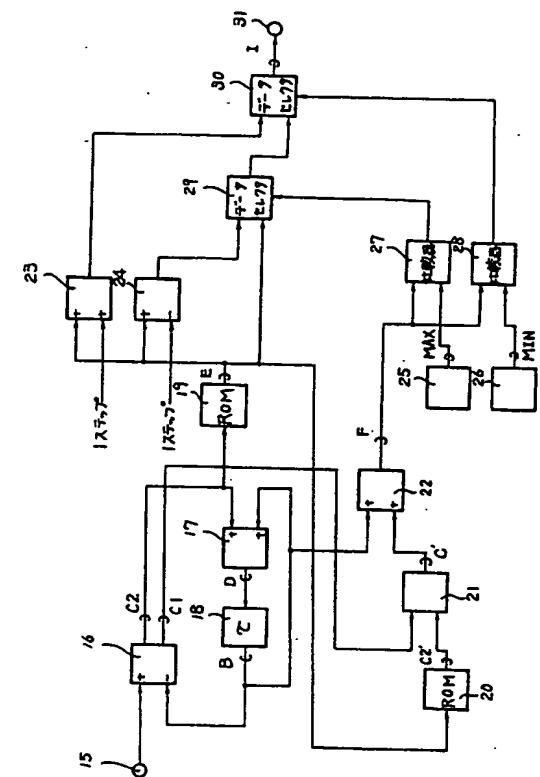
18, 35, 53…遅延回路、
19, 20, 33, 54…ROM。

代理人弁理士 小川勝男



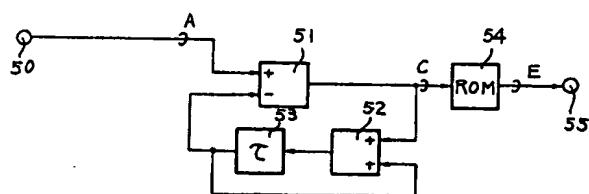


四一

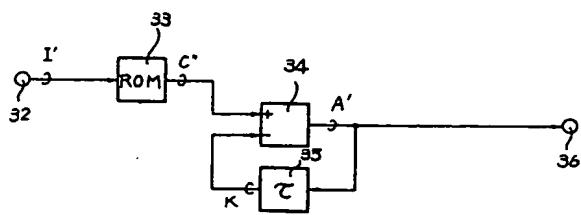


第3圖

第 2 図



第 4 図



第 5 図



(2)	A <i>i-1</i>	A <i>i</i>	A <i>i+1</i>	A <i>i+2</i>	A <i>i+3</i>	A <i>i+4</i>
D.	A <i>i-2</i>	A <i>i-1</i>	A <i>i</i>	A <i>i+1</i>	A <i>i+2</i>	A <i>i+3</i>
C (%)	C <i>i-1</i>	C <i>i</i> (=A <i>i</i> -A <i>i-1</i>)	C <i>i+1</i> (=A <i>i+1</i> -A <i>i</i>)	C <i>i+2</i> (=A <i>i+2</i> -A <i>i+1</i>)	C <i>i+3</i> (=A <i>i+3</i> -A <i>i+2</i>)	C <i>i+4</i>
D.	A <i>i-1</i>	A <i>i</i>	A <i>i+1</i>	A <i>i+2</i>	A <i>i+3</i>	A <i>i+4</i>
E.	E <i>i-1</i>	E <i>i</i> (=E <i>i-1</i> -A <i>i-1</i>)	E <i>i+1</i> (=E <i>i+1</i> -A <i>i</i>)	E <i>i+2</i> (=E <i>i+2</i> -A <i>i+1</i>)	E <i>i+3</i> (=E <i>i+3</i> -A <i>i+2</i>)	E <i>i+4</i>
C'	C <i>i-1</i>	C <i>i</i> (=A <i>i</i> -A <i>i-1</i>)	C <i>i+1</i> (=A <i>i+1</i> -A <i>i</i>)	C <i>i+2</i> (=A <i>i+2</i> -A <i>i+1</i>)	C <i>i+3</i> (=A <i>i+3</i> -A <i>i+2</i>)	C <i>i+4</i>
F.	A <i>i-1</i>	A <i>i</i>	A <i>i+1</i>	A <i>i+2</i>	A <i>i+3</i>	A <i>i+4</i>
I.	E <i>i-1</i>	E <i>i</i>	E <i>i+1</i>	E <i>i+2</i>	E <i>i+3</i>	E <i>i+4</i>

(3)	E'_{-1}	E'_0	$E'_1 + 1$	$E'_2 + 2R$	$E'_3 + 3$	$E'_4 + 4$
C'	C'_{-1}	C'_0	$C'_1 + 1$	$C'_2 + 2$	$C'_3 + 3$	$C'_4 + 4$
R	A'_{-2}	A'_{-1}	A'_0	$A'_1 + 1$	$A'_2 + 2$	$A'_3 + 3$
a'	A'_{-1}	A'_0	$A'_1 + 1$	$A'_2 + 2$	$A'_3 + 3$	$A'_4 + 4$

第 6 図

